

DERWENT-ACC-NO: 2000-045873
DERWENT-WEEK: 200004
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Transducer arrangement in photoelectric converter for radiation image reader - has common insulator support, in which photoelectric transducer array is arranged

PATENT-ASSIGNEE: CANON KK[CANO]

PRIORITY-DATA: 1998JP-0038872 (February 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES	MAIN-IPC		
JP 11307756 A	November 5, 1999	N/A	016
	H01L 027/146		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11307756A	N/A	1999JP-0034470
February 12, 1999		

INT-CL (IPC): G01T001/20; H01L027/14 ; H01L027/146 ;
H04N005/32 ;
H04N005/321 ; H04N005/335

ABSTRACTED-PUB-NO: JP 11307756A

BASIC-ABSTRACT: NOVELTY - Photoelectric transducer (21) arranged in the form of multiple array provides signal to gate of field effect transistor (FET) (22). Power is fed to FET through selecting switch (23). Reset switch (24) stops operation of the FET. The transducers are arranged along the common insulator support.

USE - In photoelectric converter used for radiation image reader used for reading alpha ray, beta ray, gamma ray and x-ray images.

ADVANTAGE - High sensitive and high efficient measurement is ensured, as parasitic capacitance is reduced due to the array arrangement of

transducers.

DESCRIPTION OF DRAWING(S) - The figure shows the photoelectric converter for radiation reader. (21) Photoelectric transducer; (22) FET; (23) Selecting switch; (24) Reset switch.

CHOSEN-DRAWING: Dwg.1/22

TITLE-TERMS:

TRANSDUCER ARRANGE PHOTOELECTRIC CONVERTER RADIATE IMAGE READ
COMMON INSULATE
SUPPORT PHOTOELECTRIC TRANSDUCER ARRAY ARRANGE

DERWENT-CLASS: U12 W04

EPI-CODES: U12-A03; W04-M01B; W04-M01F1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-035448

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-307756

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.^a
H 01 L 27/146
G 01 T 1/20
H 01 L 27/14
H 04 N 5/32
5/321

識別記号

F I
H 01 L 27/14
G 01 T 1/20
H 04 N 5/32
5/321
5/335

C
E
E

審査請求 未請求 請求項の数21 OL (全 16 頁) 最終頁に続く

(21)出願番号 特願平11-34470
(22)出願日 平成11年(1999)2月12日
(31)優先権主張番号 特願平10-38872
(32)優先日 平10(1998)2月20日
(33)優先権主張国 日本 (JP)

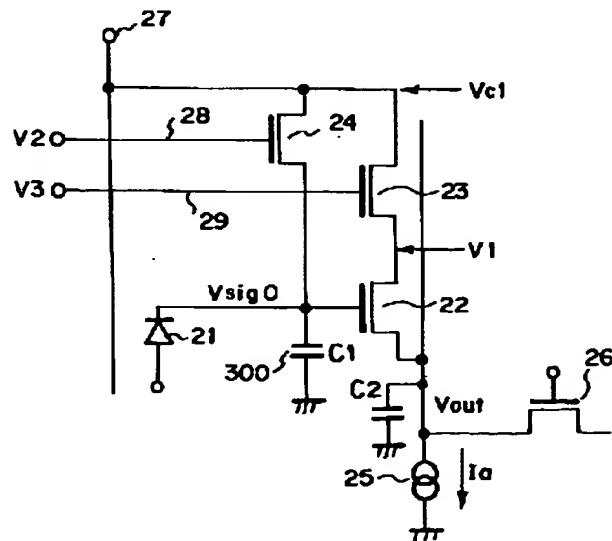
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 森下 正和
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 小林 功
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 弁理士 山下 積平

(54)【発明の名称】光電変換装置および放射線読取装置

(57)【要約】

【課題】光電変換素子を複数並べる場合に寄生容量の増大等により出力電圧が低下するのを防止する。

【解決手段】絶縁支持体上に光電変換素子21と、光電変換素子21に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレインを有する読出用電界効果トランジスタ22と、読出用電界効果トランジスタ22と電源との間に設けられた選択スイッチ手段23と、ゲートをリードセットするリセット手段24と、を備えた。



【特許請求の範囲】

【請求項1】 1画素に、光電変換素子と、該光電変換素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレインを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を備え、

該光電変換素子、該読出用電界効果トランジスタ、該選択スイッチ手段及び該リセット手段は共通の絶縁性支持体上に設けられた半導体層を有する光電変換装置。

【請求項2】 請求項1に記載の画素を複数配列してなる光電変換装置。

【請求項3】 前記光電変換素子が、前記読出用電界効果トランジスタ、前記選択スイッチ手段、および前記リセット手段の少なくとも一つの上部に配置されている請求項1に記載の光電変換装置。

【請求項4】 前記選択スイッチ手段及び前記リセット手段が電界効果トランジスタである請求項1に記載の光電変換装置。

【請求項5】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層をアモルファスシリコンを用いて構成している請求項4に記載の光電変換装置。

【請求項6】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層をポリシリコンを用いて構成している請求項4に記載の光電変換装置。

【請求項7】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層を単結晶シリコンを用いて構成している請求項4に記載の光電変換装置。

【請求項8】 1画素に、光電変換素子と、該光電変換素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレインを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を備え、

該光電変換素子、該読出用電界効果トランジスタ、該選択スイッチ手段及び該リセット手段は共通の絶縁性支持体上に設けられた半導体層を有する光電変換装置と、前記光電変換素子上に配された、放射線を吸収して該光電変換素子が検知可能な波長帯域の光を放出する蛍光体を有する放射線読取装置。

【請求項9】 請求項8に記載の画素を複数配列してな

10

20

30

40

【請求項10】 前記光電変換素子が、前記読出用電界効果トランジスタ、前記選択スイッチ手段、および前記リセット手段の少なくとも一つの上部に配置されている請求項8に記載の光電変換装置。

【請求項11】 前記選択スイッチ手段及び前記リセット手段が電界効果トランジスタである請求項8に記載の光電変換装置。

【請求項12】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層をアモルファスシリコンを用いて構成している請求項11に記載の光電変換装置。

【請求項13】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層をポリシリコンを用いて構成している請求項11に記載の光電変換装置。

【請求項14】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つが該半導体層を単結晶シリコンを用いて構成している請求項11に記載の光電変換装置。

【請求項15】 放射線を吸収し電荷を放出する電荷放出層を含み、少なくとも該電荷放出層は二層の導体層で挟まれた構成である放射線読取素子と、

該放射線読取素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレインを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を1画素に備えたことを特徴とする放射線読取装置。

【請求項16】 請求項15に記載の放射線読取装置の画素を複数配列してなる放射線読取装置。

【請求項17】 前記放射線読取素子が、前記読出用電界効果トランジスタ、前記選択スイッチ手段、および前記リセット手段の少なくとも一つの上部に配置されている請求項15に記載の放射線読取装置。

【請求項18】 前記選択スイッチ手段及び前記リセット手段が電界効果トランジスタである請求項15に記載の放射線読取装置。

【請求項19】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つがアモルファスシリコンを用いて構成されている請求項18に記載の放射線読取装置。

【請求項20】 電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも一つがポリシリコンを

置。

【請求項21】電界効果トランジスタからなる前記選択スイッチ手段と前記リセット手段、及び前記読出用電界効果トランジスタの少なくとも1つが単結晶シリコンを用いて構成されている請求項18に記載の放射線読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光電変換装置および放射線読取装置に関し、更に詳しくは、より高感度で高速の読取動作を行なうことのできる光電変換装置および α 線、 β 線、 γ 線、X線に代表される放射線に係る情報を高感度に読取ることが可能な放射線読取装置に関する。

【0002】

【従来の技術】光電変換装置や放射線を蛍光体（たとえばシンチレーター）のような波長変換体で光電変換装置の感度域に波長変換して放射線に基づく情報を読取る放射線読取装置においては、光電変換部で光電変換された入力情報に基づいた電荷を容量へ転送して信号電圧を増幅することが行なわれている。

【0003】

【発明が解決しようとする課題】しかしながら、従来回路での信号電荷の読み出しのように、光電変換素子自身の容量から外部容量へ電荷転送して信号電圧を増幅する場合、S/N比は比較的大きくとれるが、センサを複数個並べる場合、信号線上に寄生容量が形成されることがある。例えばX線フィルム相当のエリアセンサを1セル $200\text{ }\mu\text{m} \times 200\text{ }\mu\text{m}$ の大きさで縦横2000個×2000個配置し、 $40\text{ cm} \times 40\text{ cm}$ の大きさのエリアセンサを作製した場合を考えると、電荷転送するトランジスタのゲートとソースの重なりで容量が形成される。この重なりは画素数に応じるため重なり容量 C_{gs} は、1箇所について約 0.05 pF であるとしても、1本の信号線には $0.05\text{ pF} \times 2000\text{ 個} = 100\text{ pF}$ という容量となる。センサ容量 C_s は約 1 pF 程度であるため、センサに発生した信号電圧を V_1 とすると信号線の出力電圧 V_0 は

$$V_0 = (C_s / (C_s + C_{gs} \times 1000)) \times V_1$$

となり、出力電圧は約 $1/100$ になってしまふ。

【0004】即ち大面積のエリアセンサを構成する場合には出力電圧は大幅にダウンすることになる。

【0005】また、このような状況下において動画読取りを行なうためには、更に1秒あたり30枚以上の画像読取りを行なうことができる感度と高速動作性が要求される。特にX線診断を含む非破壊検査などでは照射するX線の線量を出来るだけ少なくしたいという要求もあり、信号電荷量を100～400倍に増加できるようすなわち、更なる高感度化が要望されている。

10

20

30

40

あり、寄生容量の増大等による出力電圧の低下を抑えることができ、結果としてより高感度、高性能な光電変換装置及び該光電変換装置を有する放射線読取装置を提供することを目的とする。

【0007】加えて、本発明はより開口率、すなわち一画素に必要な面積中の受光部領域の割合、が大きく、結果として高感度化、高性能化を達成し得る光電変換装置及び該光電変換装置を有する放射線読取装置を提供することを目的とする。

【0008】更に本発明は動画読取り可能な光電変換装置及び該光電変換装置を提供することを目的とする。

【0009】加えて本発明はX線などの放射線の照射線量をより一層少なくすることが可能な放射線読取り装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、1画素に、光電変換素子と、該光電変換素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレンを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を備え、該光電変換素子、該読出用電界効果トランジスタ、該選択スイッチ手段及び該リセット手段は共通の絶縁性支持体上に設けられた半導体層を有することを特徴とする。

【0011】また本発明は、1画素に、光電変換素子と、該光電変換素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレンを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を備え、該光電変換素子、該読出用電界効果トランジスタ、該選択スイッチ手段及び該リセット手段は共通の絶縁性支持体上に設けられた半導体層を有する光電変換装置と、前記光電変換素子上に配された、放射線を吸収して該光電変換素子が検知可能な波長帯域の光を放出する蛍光体を有することを特徴とする。

【0012】更に本発明は、放射線を吸収し電荷を放出する電荷放出層を含み、少なくとも該電荷放出層は二層の導体層で挟まれた構成である放射線読取素子と、該放射線読取素子に発生した信号電荷を受けるゲート及び該ゲートに蓄積された信号電荷に応じた信号を読み出すためのソース・ドレンを有する読出用電界効果トランジスタと、該読出用電界効果トランジスタと電源との間に設けられた選択スイッチ手段と、前記ゲートをリセットするリセット手段と、を1画素に備えたことを特徴とする。

【0013】

詳細に説明する。なお本発明の放射線に基づく情報を読み取るための放射線読取装置は、以下に説明するX線読取装置に特に限定されず、 α 線、 β 線、 γ 線等に基づく情報の読取装置にも適用可能である。

(第1の実施例) 図1は本発明の光電変換装置の1画素部分を示す概略的回路構成図である。図2は図1で示した放射線読取装置の模式的平面図、図3は該装置と波長変換体を組み合わせて、放射線読取装置として適用する場合の一例を示し、図2の模式的平面図で図示したA-B間の模式的断面図である。

【0014】各図において、21は光電変換素子、300は光電変換素子21からの信号電荷を蓄積する容量、22は光電変換素子21とゲートが接続されるMOSトランジスタ、23は各画素を選択するための選択スイッチ手段となるMOSトランジスタ、24はMOSトランジスタ22のゲートおよび容量300をリセットするリセット手段となるMOSトランジスタ、25は電流源、26は信号出力用のMOSトランジスタ、27は電圧源と接続される端子、28はリセットゲート線、29は垂直ゲート線、41は電圧源である。また、V2、V3はMOSトランジスタ24、23のゲートに印加される信号、42、43はそれぞれ信号V2、V3を出力する信号源である。尚、光電変換素子21自身に充分な容量がある場合は、容量300は必ずしも設ける必要はない。

【0015】図1に示されるように、光電変換素子21はMOSトランジスタ22のゲートに接続され、光電変換素子からの信号を增幅して出力することができるようになっている。したがって、光電変換素子を複数並べる場合に伴なう寄生容量の増大等による出力電圧の低下を抑制することができる。なお、本発明に係わる光電変換素子は以下に説明する、薄膜トランジスタ(TFT)と同じ層構成の光電変換素子に特に限定されるものではない。

【0016】ここで図2および図3により各素子の形成方法について順に説明する。ここではX線信号読取装置について説明する。MOSトランジスタはTFTで構成される。

【0017】まず、絶縁材料であるガラス基板1上にスパッタ等により下部メタル層2としてCrを約500オングストローム堆積させ、その後フォトリソグラフィによりバーニングし不必要なエリアをエッチングする。これにより光電変換素子21の下部電極、MOSトランジスタ(TFT)22~24のゲート電極、コンデンサ300の下部電極、および下部配線402と412が形成される。

【0018】次にCVD法により同一真空中でSiN(窒化シリコン)層70/i層4/n層5をそれぞれ約2000Å/5000Å/500Åの厚さに順に堆積する。これらの各層は光電変換素子21の絶縁層/光電変

ート絶縁層/半導体層/オミックコンタクト層、およびコンデンサ300の中間層となる。また、上下配線のクロス部絶縁層としても使われる。各層の厚さはこれに限らず光電変換装置として使用する電圧、電流、電荷、入射光量等により最適に設計できるが、少なくともSiNは電子とホールが通過できず、また、TFTのゲート絶縁膜として機能ができる500オングストローム以上が望ましい。

【0019】各層堆積後、コンタクトホール408になるエリアをエッチングし、その後、上部メタル層6としてA1をスパッタ等で約10000オングストローム堆積させる。さらにフォトリソグラフィによりバーニングし不必要なエリアをエッチングし光電変換素子21の上部電極、TFT22~24の主電極であるソース電極並びにドレイン電極、コンデンサ300の上部電極、および上部配線406と416が形成される。同時にコンタクトホール408では、下部配線402と上部配線406が接続されている。

【0020】さらにTFT22~24のチャネル部のみn層をRIEでエッチングし、その後不必要なSiN層70/i層4/n層5をエッチングして各素子が分離される。これで光電変換素子21、TFT22~24、下部配線402、412、上部配線406、416、およびコンタクトホール408が完成する。

【0021】また、耐久性を向上させるため通常各素子の上部をSiN等のバッシャーション膜50で覆い、その上に波長変換体として蛍光体層51を形成する。入射したX線は蛍光体層51で光電変換素子21で光電変換可能な波長帯域の光(代表的には可視光)に変換される。

【0022】以上の説明の通り上記光電変換装置では光電変換素子21、TFT22~24、コンデンサ300、および配線部400とが同時に堆積された共通の下部メタル層2、SiN層70/i層4/n層5、および上部メタル層6と各層のエッチングのみで形成することができる。また光電変換素子21内に注入阻止層が1カ所しかなく、かつ、同一真空中で形成できる。さらにTFTの特性上重要なゲート絶縁膜/i層界面も同一真空中で形成できる。またさらにコンデンサ300の中間層が熱によるリークの少ない絶縁層を含んでいるため良好な特性のコンデンサが形成される。このように上記光電変換装置は低コストで高性能の光電変換装置の生産を可能としている。

【0023】なお、上記の形成方法はアモルファスシリコンを用いることができるが、TFTの高速化が求められる場合には、アモルファスシリコン層の形成後にレーザーニールによりポリシリコン化させて高速化を図ることができる。

(第2の実施例) 図4は本発明の光電変換装置の一例を

換装置の一画素部分をマトリクス状に配設して順次走査により信号を出力できるようにしている。尚、本例でも波長変換体を用いて放射線読取装置として適用した例に基づいて以下、説明を行なう。

【0024】図4において、光電変換素子（フォトダイオードなど）21はX線が波長変換されて得られた感光波長域の光の入射光量に応じた電荷を蓄積する。この光電変換素子は2次元状に配置されている。尚、この場合も光電変換素子自体に充分な容量があれば、各画素に附加されている容量300はなくてもよい。光電変換素子21の一端はソースフォロワ入力MOS（Metal Oxide Silicon Transistor）22のゲートに接続し、ソースフォロワ入力MOS22のドレインは垂直選択スイッチMOS23のソースに接続し、またソースは垂直出力線35を経て負荷電流源25へと接続し、垂直選択スイッチMOS（トランジスタ）23のドレインは電源線34を経て電源端子27に接続されており、これらは全体でソースフォロワ回路を構成している。

【0025】また、24はリセットスイッチであり、そのソースはソースフォロワ入力MOS22のゲートに接続し、ドレインは電源線34を経て電源端子27に接続されている。

【0026】本回路は各画素の光電変換素子に蓄積された電荷に応じてソースフォロワ入力MOS22のゲートに信号電圧が発生し、それをソースフォロワ回路で電流増幅して読み出すものである。

【0027】垂直選択スイッチMOS23のゲートは垂直ゲート線29で垂直走査回路32に接続される。リセットスイッチ24のゲートはリセットゲート線28で垂直走査回路32に接続される。また、ソースフォロワ回路の出力信号は、垂直出力線35、水平転送MOSスイッチ26、水平出力線30、出力アンプ31を通して外部に出力される。水平転送MOSスイッチ26のゲートは水平走査回路33にそれぞれ接続されている。

【0028】本回路の動作を説明すると、まずリセットスイッチ24により光電変換素子21をリセットする。次に蓄積動作に入る。ソースフォロワ入力MOS22のゲートには蓄積された信号電荷の量に応じて信号電圧が発生する。蓄積時間終了後、垂直走査回路32および水平走査回路33によって選択された画素の信号はソースフォロワ回路によって増幅された後、順次出力アンプ31を通して出力される。

【0029】本回路構成は、ソースフォロワの電源線とリセット電源線を共通化しているためコンパクトなレイアウトが可能となる、選択スイッチ23を電源側に配置したこととソースフォロワ入力MOS22のソース端と定電流源の間に選択スイッチ23の抵抗が介在しなくなり線形性のよいソースフォロワ出力が得られる、といった利点を有するものである。

5を参照しながら記述する。

【0031】図4は、駆動のタイミングの一例を示すタイミング図である。この例ではX線は連続して照射されている。

【0032】D₁、D₂、D₃…D_Nは各行の駆動を示し、たとえばD₁が1行目に関する各タイミングのみを示している。D₁の中で垂直走査回路32から出るφ₁₁はリセットパルス、φ₂₁は1行全ラインへのドライブパルス、φ₃₁は水平走査回路33から出る読み出しパルスである。これによって出力アンプ31を介してアナログ・デジタル変換回路（A/D）40に送られ、メモリ41に記憶される。

【0033】リセットパルスφ₁₁でパルスφ_{RESET1}により1行ラインの光電変換素子21の電位がリセットされ、ほぼ（T₁-T₂）の時間、X線照射による光を光電変換素子21で検出し、キャパシタC₁300に電荷を蓄積する。パルスφ_{DRIVE1}によりトランジスタ23がonされ、各列のC₂に電位を転送する。その後、各列からφ_{READ1}のパルスにより、順次、出力アンプ31を介してA/Dに出力する。

【0034】その後D₂、D₃…D_Nまで各行の読み出しを行なう。T₁の時間は例えば1秒間に30フレームの場合は33msec（T₁=1/30sec）となる。光電変換素子が行列に500×500個配置された場合は、D₁…D₅₀₀までの読み出しが必要となり、T₂=T₁/500となり、概略T₂=6.6μsec、T₃=T₂/500であり、T₃は130nsec程度となる。

【0035】これらの時間は1秒間あたりのフレーム数と画素数によってきめられる。上述した駆動例においては連続的にX線が照射されている場合を示したが、X線をパルス的に、間欠に照射した場合を第2の駆動法として図6に示す。

【0036】本例では全行のラインの光電変換素子をすべて同時にリセットするため各リセットパルスをφ₁₁…φ_{1n}によりリセットする。その後X線をパルス状に（T₁時間）照射する。その後は図5で説明された第1の1駆動と同じくφ₂₁、φ₃₁…φ_{2n}、φ_{3n}のパルスにより、電荷を順次読み出す。

【0037】本例ではX線のパルスの照射時間T₁を必要とするため、前述の例とT₂、T₃の決め方は少し、異なる。たとえば、上記例と同様の画素数、同じフレーム数とすると、T₁=1/30sec、T₂=（T₁-T₁）/500、T₃=T₂/500である。

【0038】ところで、センサの性能を充分に引き出すためには、蓄積時間中の暗電流の影響や各セルのソース・フォロア（SF）のオフセット電位のバラツキが固定パターンノイズとしてあらわれることが問題となる場合がある。

【0039】固定パターンノイズを除去する第1の方法

各素子の出力データを、あらかじめメモリに記憶し暗電流とS/Fのオフセット電位による雑音をX線照射時の出力から差し引くことである。これによって、センサ特性を改善することができる。

【0040】第2の方法は、第2の駆動法において、X線照射を行なわない一連のシーケンスを行ない、そのX線照射のないときの出力を雑音データ(N)とする。また、均一にX線照射された時の光電変換出力を信号+雑音データ(S+N)として、それらデータの差分をとり((S+N)-N)、信号出力を得ることである。これによって雑音の補正を行なうことができる。

(第3の実施例) 図7は本発明の光電変換装置を放射線読取装置に適用した他の一例の構成を示す模式的断面図である。電気回路的には図4の回路を用いることができる。図7において、PIN型のフォトダイオードセンサは上部電極をITO710で構成しており、そのITO電極710に負の電位を与える配線が第1A1層712である。下部電極は第2A1層708で構成されており、各薄膜トランジスタ(増幅用、選択スイッチ用、及びリセット用トランジスタ)の上部にも絶縁層(SiN層)707を介して第2A1層708が配置されている。711はSiN等の絶縁膜、709はPIN接合層である。

【0041】PIN型フォトダイオードセンサの下部電極である第2A1層708はCr層715と接続されており、Cr層715は増幅用薄膜トランジスタのゲート電極702と接続されている(図においては、Cr層715とゲート電極702との接続は模式的に示している。)。

【0042】各薄膜トランジスタ(増幅用、選択スイッチ用、及びリセット用トランジスタ)はガラス基板701上にCrのゲート電極702、絶縁層703、半導体層704、オーミック層705、ソース・ドレイン電極706と積層されて構成されている。なお、コンデンサは後に説明する図8の構成と同様にSiN等の絶縁層を介してCr電極を第2A1層708下に設けることで作成することができる。

【0043】なお、PIN型フォトダイオードセンサは可視光に感度があるため、X線などの放射線読取装置として用いる場合は、図7のようにセンサ上部にPI(ポリイミド)SiO₂、SiN₄等の絶縁層713を介して、X線を可視光に変換する波長変換体としての蛍光体714を配置する。

【0044】本実施例の構成については、PIN型フォトダイオードセンサと各薄膜トランジスタ(増幅用及び選択スイッチ用及びリセット用)は、各薄膜トランジスタともアモルファスシリコン又はポリシリコンを用いることができる。

【0045】以上説明した本実施例によれば、次の効果

(1) PIN型フォトダイオードセンサが各薄膜トランジスタ(断面図では増幅用トランジスタのみ図示してあるが、実際は選択スイッチ用及びリセット用トランジスタを含む)の上部にも配置されているため、センサ開口率をほぼ100%近い値にすることが可能になり、よりS/N比を増大させることが可能になる。

(2) PIN型フォトダイオードセンサにより蓄積された信号電荷を、第1実施例で用いた増幅回路(ソースフォロア増幅回路)で信号電荷を増幅することにより、従来例で示したX線フィルム相当のエリアセンサを構成した場合、増幅回路の増幅率に対応してS/Nの向上が可能となる。

【0046】以上の(1)、(2)により、従来のエリアセンサに比べて飛躍的なS/N比向上が可能となる(例えば、(1)の構成で約2倍の開口率向上がなされ、(2)の構成により100倍の電荷増幅がなされ、結果として飛躍的なS/N比向上がなされることになる)。

(第4の実施例) 図8は本発明の光電変換装置を放射線読取装置に適用した場合の別の一例の構成を示す模式的断面図である。実施回路は図4を応用して適用することができる。図8において、PbI₂を主体とするX線直接変換型センサは、上部電極を第1A1層813で、下部電極を第2A1層810で構成している。上部電極の第1A1層813とPbI₂811との間にはPI(ポリイミド)等の絶縁層812を配置することにより、上部電極の第1A1層813からPbI₂811へ電荷が注入されることを阻止している。なお、本実施例はX線入射により電子/ホールペアを多数発生する材料、例えばa-Se、PbI₂、HgI₂、PbOなど(ここではPbI₂を用いている)を上下の電極で挟み、上下の電極間に電界を加えることにより、X線入射により発生した電荷を直接取り出すことが可能となる。図のような絶縁層812は必ずしも必要ではない。図9に示す如く、絶縁層812のないセンサにおいても充分出力電荷を出力して、取り出すことができる。

【0047】下部電極の第2A1層810と最下層のCr層808により信号電荷蓄積用コンデンサを構成し、X線入射により発生した信号電荷をこのコンデンサに蓄積する。807はSiN等からなる絶縁膜である。

【0048】ここで下部電極の第2A1層810は、第3実施例の図7と同様に、各薄膜トランジスタ(増幅用、選択スイッチ用、及びリセット用)の上部にも絶縁層(SiN層)807を介して配置されている。

【0049】蓄積用コンデンサの上部電極である第2A1層810は、最下層のCr層である、増幅用薄膜トランジスタのゲート電極802と接続されている(図8においては、第2A1層810とゲート電極802との接続は模式的に示している。)。

チ用、及びリセット用トランジスタ)はガラス基板801上にC_rのゲート電極802、絶縁層803、半導体層804、オーミック層805、ソース・ドレイン電極806と積層されて構成されている。

【0051】本実施例の構成については、各薄膜トランジスタ(増幅用及び選択スイッチ用及びリセット用)は、第3実施例と同様に、アモルファスシリコン又はポリシリコンでもよい。

【0052】以上説明した本実施例によれば、次の効果を得ることができる。

(1) X線直接変換型センサが各薄膜トランジスタ(断面図では増幅用トランジスタのみ図示してあるが、実際は選択スイッチ用及びリセット用トランジスタを含む)の上部にも配置されているため、センサ開口率をほぼ100%に近い値にすることが可能になり、より開口率を2倍近く増大させることができることになる。

(2) PbI₂等を主体とするX線直接変換型センサは、蛍光体がX線を可視光に変換することを必要としないため、入射X線を電気信号電荷に変換後の集収効率が高く、結果的に入射X線から電気信号電荷への変換効率がすぐれている。又、直接変換材料は電荷を有効に電界により収集できるため、厚みを比較的厚くでき、X線収集量も大きくでき量子交換率も高くなる。

(3) PbI₂等を主体とするX線直接変換型センサにより蓄積された信号電荷を、第1実施例で用いた増幅回路(ソースフォロア増幅回路)で信号電荷を増幅することにより、従来型1トランジスタ型に比べて、よりS/Nにおいて有利となる。

(第5の実施例) 図10は第1~4実施例に適用可能な他の回路の一例である。ここに示される回路は信号からS/Fオフセットなどをリアルタイムに差し引くことができる回路の一例である。

【0053】なお、図11は各信号φX、φR、φN、φSのタイミングの一例である。ここで、図10において、①はセンサ蓄積端子部をリセット用トランジスタでリセットをかける時に発生するリセットランダムノイズ、②はソースフォロワ部に発生するオフセット固定パターンノイズである。X線はX線照射タイミングを示している。但し連続に照射されていてもよい。

【0054】上記2つのノイズを取り除くために、図10の回路のようにコンデンサC₁₁及びC₁₂を配置し、例えば暗状態時に蓄積した信号をφNのパルスによりコンデンサC₁₁へ転送し、明状態時に蓄積した信号をφSのパルスによりコンデンサC₁₂へ転送し、コンデンサC₁₂及びC₁₁の両者の信号をパルスφHにより差動増幅器に入力して、減算処理することにより、上記①、②のノイズを取り除いたセンサ信号を得ることが可能となる。

【0055】図12は図10の光電変換装置をマトリクス状に配設して順次走査により信号を出力する光電変換

【0056】図10における1ビット回路部(図12中Sで示す)、即ちセンサ及び増幅回路(増幅用トランジスタ及び選択用トランジスタ及びリセット用トランジスタ)をX方向及びY方向に各々m個及びn個ずつ配置し、各信号線には図10で説明したように、C_{r2}及びC_{r1}のコンデンサが配置してある。

【0057】よって、X方向とY方向のシフトレジスタにより、m×n個の信号出力を暗状態と明状態で交互に読み出し、差動増幅器で減算処理することにより、ノイズの低減されたS/Nの高い信号出力を得ることができる。マトリクスに配された各画素の駆動はいずれにしてもX線などの光源の連続または間欠照射で前述のように行なうことができる。

(第6の実施例) 図13は第1~4実施例に応用する他の回路の一例である。

【0058】図14は各信号φX、φR1、φR2、φN、φSのタイミングの一例である。ここで、①はリセットパルスφR1によるリセット用トランジスタでリセットをかける時に発生するランダムノイズ、②はソースフォロワ部に電荷蓄積する間に発生する1/fランダムノイズ、③はソースフォロワ部に発生するオフセット固定パターンノイズである。リセットパルスφR1、φR2ONでセンサセルのリセットを行ない、その後センサの蓄積動作に入る。X線がパルスの場合は、リセットパルスφR2(パルス①)のof f後、X線照射が行なわれる。X線は連続照射でもよい。

【0059】上記3つのノイズを取り除くために、図13の回路のようにコンデンサC₁₁及びC₁₂を配置し、例えば暗状態時に蓄積した信号をφNのパルスによりコンデンサC₁₁へ転送し、明状態時に蓄積した信号をφSのパルスによりコンデンサC₁₂へ転送し、コンデンサC₁₂及びC₁₁の両者の信号をパルスφHにより差動増幅器に入力して、減算処理することにより、上記①、②、③のノイズを取り除いたセンサ信号を得ることが可能となる。

【0060】図15は図13の光電変換装置をマトリクス状に配設して順次走査により信号を出力する光電変換装置を示す概略的回路図である。図15にはC₁₁、C₁₂のリセットの回路を組み込んである。図12も同様のC₁₁、C₁₂のリセット回路を組み込むことができる。

【0061】図13における1ビット回路部(図15中Sで示す)、即ちセンサ及び増幅回路(増幅用トランジスタ及び選択用トランジスタ及びリセット用トランジスタ)をX方向及びY方向に各々m個及びn個ずつ配置し、各信号線には図23で説明したように、C_{r2}及びC_{r1}のコンデンサが配置してある。

【0062】よって、X方向とY方向のシフトレジスタにより、m×n個の信号出力を暗状態と明状態で交互に読み出し、差動増幅器で減算処理することにより、ノイ

る。各光電変換素子の駆動はX線連続とパルスにより、図5又は図6を用いて説明したのと同様にできる。

【0063】各信号線には、n個の1ビット回路が接続されているため、増幅用トランジスタのソース・ゲートの重なり容量C_{gs}がn個並列につながる。ここでX線エリアセンサを例にとると、n=500~2000個以上になる。よって信号線配線容量C₂はC₂=C_{gs}×(500~2000)となり、C_{gs}が大きいとC₂は非常に大きな値となる。

【0064】静止画だけの読み出しあれば、C₂が大きいことは、あまり問題とならないが、動画的読み出しを行なう場合は、読み出し速度に大きく、影響する。

【0065】絶縁基板上に作成した図2、図3、図7、図8、図9などの場合、受光部(+必要に応じて設けられる容量)、リセットMOS、ソースフォロアを有する光電変換部が絶縁基板上に作成され、他は外部回路で通常作成される。そのため、センサセル中のトランジスタのON抵抗R_{ON}とキャパシタンスC₂の積の時定数(R_{ON}×C₂)が最も問題となる。

【0066】図16はアモルファス・シリコンをトランジスタの材料として用いた場合のトランジスタのON抵抗とトランジスタの幅(W)とチャネル長(L)の比のデータの一例を示す。破線はアモルファスシリコンの厚さが3000Å、実線は1000Åの計算値を示している。▲、△、●は測定されたデータ値を示す。

【0067】通常W/Lは2~10程度を使用し、ON抵抗R_{ON}は、1~10メガオーム程度有る。C₂は設計により異なるが10~50pF程度は通常有るから、R_{ON}·C₂は10~500μsec程の範囲となる。通常読み出しおためにはパルス長(例えば図5のT₂)はR_{ON}·C₂の3倍以上必要であるから、上記の場合30~1500μsec以上となる。図5の説明で行ったように、T₂は例えば、66μsecである。最少領域なら対応できるが、通常の範囲ではスイッチスピードに対応できない場合がある。そこでi層を薄くすると同時にW/Lを10以上にすることによって、速いスイッチングに対応することができる。

【0068】図2、図3で示した実施例では、トランジスタの設計はW/Lを充分に大きくとれないが、図7、図8、図9などに示される積層型の光電変換装置では、画素又は光電変換素子形成領域の実質的に全面を使ってトランジスタを作成できるため、充分なR_{ON}の低減が可能である。

【0069】図7、図8、図22の実施例は充分なスイッチ速度がとれ、動画に適した構造とすることができる。(第7の実施例)本発明は光電変換素子とスイッチトランジスタを単結晶基板上に形成してもよい。

【0070】図17にSi単結晶基板510上に光電変換部1701とMOSトランジスタ1702を有する光

に光電変換素子やTFTを形成したのと同様に光電変換装置を形成することができる。但し、単結晶では、蛍光体(506)中で完全に吸収されずに通過したX線が単結晶中で吸収されると余剰キャリアが、Si単結晶中で生成されて、蛍光体からの光により生じたX線による信号に対して雑音となる。

【0071】そのため、図17で示した如く、基板510とセンサあるいはスイッチ領域は電気的に分離する必要がある(図ではP型とN型によって電気的に分離)。

P型の領域(Pウェル)501の厚みは蛍光体506により波長変換された光が充分検出できる厚みにして、概略蛍光体の発光波長の吸収係数の2~3倍程度以下にするのが望ましい。Pウェル501と基板510は逆バイアスを印加し、電気的に分離される。そうするとPウェル501の厚みだけ(概略2~3μm以下)のX線吸収だけになり、直接X線吸収による雑音が少くなり、性能が向上する。

【0072】Pウェル(501)の厚みを薄くすることにより、X線吸収が少なくなり、雑音特性は改善される。蛍光体によてもかわるが、蛍光体506としてGd系の材料を使う場合、蛍光体506では30~50%程度吸収され、残りは蛍光体506で波長変換されずに蛍光体506を通過する。これをすべてSi基板で吸収するとこの吸収に伴って得られる情報は信号か雑音か判別できなくなる。50keV程度のX線でたとえば2μmの厚さのSi単結晶で吸収されるのは、ほぼ1/10000程度となるので上述したような領域の厚さと電気的分離を行なうことで雑音成分の低減をすることできる。

【0073】図17に示される光電変換装置においては、垂直選択スイッチ23のしきい値電圧とリセットスイッチ24のしきい値電圧をかえることが望ましい。以下、その理由について説明する。

【0074】まず、図1のソース・フォロアの入力MOSトランジスタ22が下記の条件式をみたしていかなければならない。

$$V_{ds} > V_{gs} - V_{th2} \quad (1)$$

ここで、V_{ds}はドレイン/ソース間電位差、V_{gs}はゲート/ソース間電位差、V_{th2}はしきい値電圧である。

【0076】ここで、リセットスイッチ24がオン時のゲート電圧をV₂、垂直選択スイッチ23がオン時のゲート電圧をV₃、ソースフォロワの入力MOSトランジスタ22のドレイン電圧をV₁、リセットスイッチ24のしきい値電圧をV_{th0}、垂直選択スイッチ23のしきい値電圧をV_{th1}、ソースフォロワ入力MOSトランジスタ22のしきい値電圧をV_{th2}とする。

【0077】リセットスイッチ24、垂直選択スイッチ23がともに5極管領域(ソース・ドレイン間バイアス(VDS)がピンチオフ電圧以下の領域)で動作している

あらわされる。

【0078】

$$V_{sig0} = V_2 - V_{th0} \quad \dots (2)$$

つぎに、垂直選択スイッチ23に流れる電流がソースフォロワ回路に流れる電流に等しいことを考えると、次式が成り立つ。

【0079】

$$I_a = K (V_3 - V_1 - V_{th1})^2 \quad \dots (3)$$

$$K = 1 / 2 \times \mu \times C_{ox} \times W / L$$

$$V_1 = V_3 - V_{th1} - \sqrt{(I_a / K)} \quad \dots (4)$$

この、(2)式、(4)式を(1)式に代入すると、ソースフォロワ回路が線形動作領域で動作するための条件式は、

$$V_3 - V_{th1} - \sqrt{(I_a / K)} > V_2 - V_{th0} - V_{th2} \quad \dots (5)$$

となる。リセットスイッチ24と垂直選択スイッチ23がともに5極管領域で動作する例として、従来はゲートの電圧 V_2 、 V_3 はともに電源電圧と等しい電圧を使用し、また各スイッチ23、24のしきい値電圧も同じ値のものを使用していたが、その時(5)式は

【0083】

【数3】

$$\sqrt{(I_a / K)} < V_{th} \quad \dots (6)$$

と変形され、ソースフォロワ回路に流れる電流が各スイッチのしきい値電圧に律速されてしまうことが分かる。

【0084】そのため、多画素化等が進みソースフォロワ回路が駆動しなければならない負荷が増加した時には、垂直選択スイッチ23のしきい値電圧とリセットスイッチ24のしきい値電圧を変えて、上式を満たすことができるようになりますがより望ましい。例えば、各トランジスタのしきい値(V_{th})を0.5V~1.0V程度変えることが望ましい。

【0085】図1~図3におけるリセットスイッチ24のしきい値電圧を垂直選択スイッチ23のしきい値電圧に比べて、1V大きくする例を以下に示す。

(ア) リセットスイッチ24のゲートメタルをクロムにし、垂直選択スイッチ23のゲートメタルをアルミニウムで構成する。そうすることにより、リセットスイッチ24のしきい値は約2.5Vとなり、垂直選択スイッチ23のしきい値は約1.5Vとなる。

(イ) 垂直選択スイッチ23及びリセットスイッチ24のゲートメタルをアルミニウムで構成した場合、リセットスイッチ24のゲートメタルの電位 V_2 に全ビット共通で+20Vを印加し、更に垂直選択スイッチ23のゲートメタルの電位 V_3 をGNDにして、常温において約3時間駆動することにより、リセットスイッチ24のしきい値は約2.5Vとなり、垂直選択スイッチ23の

* μ : 移動度

C_{ox} : 単位面積当たりのゲート酸化膜容量

W : ゲート幅

L : ゲート長

ここでは説明を簡略化するためにグラジュアルチャネル近似の式を用いた。

【0080】この式を変形すると、次式が導かれる。

【0081】

【数1】

※【0082】

【数2】

★【0086】次に単結晶基板に、光電変換素子、この光電変換素子の出力側とゲートが接続される電界効果型トランジスタ(MOSトランジスタ)、垂直選択スイッチ、およびリセットスイッチを形成する場合に、垂直選択スイッチのしきい値電圧とリセットスイッチのしきい値電圧を変える方法について説明する。

【0087】図18はしきい値電圧を変える方法の一例を示す断面図である。同図において、501は半導体基板であり、ここではP型半導体の例を示している。502は半導体基板501の上にゲート酸化膜を介して形成されたゲート電極であり、たとえばポリシリコンやポリサイドなどで形成される。503は半導体基板501中にイオン注入などにより形成された半導体基板501とは反対導電型のソース領域、およびドレイン領域であり、以上により電界効果トランジスタが構成される。また、耐久性を向上させるため通常各素子の上部をSiN等のバッショーション膜505で覆い、その上に蛍光体層506を形成する。入射したX線は蛍光体層506で、光電変換素子で光電変換可能な波長帯域の光(代表的には可視光)に変換される。

【0088】ここで、所望のトランジスタのみにチャネル領域にチャネルドープ層504を形成することで、それ以外のトランジスタとしきい値電圧を容易に異らせることができる。たとえば、図18の例で504としてN型のイオン種をドープすればドープしないものに比べしきい値電圧を下げることができ、逆にP型のイオン種をドープすればしきい値電圧をあげることができる。その変化量は、チャネルドープ層504の濃度を制御することで、精度良く決めることができる。

【0089】ここではN型の電界効果トランジスタを例にとって説明したがもちろんこれに限るものではなく、P型の電界効果トランジスタにおいても同様な効果が得られることはいうまでもない。また、本実施例では、一

いて説明したが、これに限るものではなく、複数種類のチャネルドープ層を混在させて、おのおの最適な条件に設定し使用してもよい。

【0090】なお、上述した説明では電界効果トランジスタに流れる電流の式としてグラジュアルチャネル近似の(3)式を用いたが、このような理想的なトランジスタの場合に限らず、たとえば微細化が進み上式から若干ずれが生じても、効果が変わるものではない。(1)式を満たすように電界効果トランジスタのオン抵抗を制御することが本質であり、そのために垂直選択スイッチのしきい値電圧とリセットスイッチのしきい値電圧を変えることはきわめて有効な手段である。

【0091】しきい値電圧を変える別な方法として図19に示したような構造がある。同図において、601は所望のトランジスタ領域のみに設けられたウエル領域である。その他の構成は図18に示したものと同じである。図19のように構成することによっても、所望のトランジスタのしきい値電圧を容易に制御することができる。また、図19ではP型基板中にP型のウエル領域を形成した場合を例にとって説明したが、これに限るものではなく、N型の基板中に、複数の濃度の異なるP型ウエルを設け、それぞれの濃度を制御して所望のしきい値電圧を決めてよい。また、N型電界効果トランジスタを例にとり説明したがこれに限るものではなく、P型電界効果トランジスタにおいても同様な効果が得られることはいうまでもない。

【0092】単結晶基板上に図8及び図9に示される直接型の光電変換素子を形成することも同様に有効である。そのときは図17と同様に基板とトランジスタは電気的に分離できる様にするとよい。又前述した回路及び動作を直接型X線センサに適用できるのはもちろんである。

【0093】単結晶基板をセンサ基板として用いるときは基板中で吸収される透過X線の吸収を少なくすることはすでに述べたが、Pウェルなどの領域を薄く設定するだけでなく上部に遮へい層を用いてもよい。

【0094】たとえば、MOSトランジスタのゲートをポリシリコンでなく、重金属メタルで作成する。具体的には図17の電極502を重金属(Pt, W, Mo, Pdなど)で作成する。MOSトランジスタの場合はメタルを2~3層構造にし、下部をポリシリコン、上部を重金属シリサイド、あるいは重金属にすることは好ましい。

【0095】また、図20の如く、光検出部以外の部分に蛍光体と基板の間にX線遮へい層600を導入しても良い。

【0096】図21と図22に遮へい材として用いることができるプラチナPtとタンクステンWのX線吸収特性を示す。例えばPtで10μmの厚みで遮へい層とし

3%, 91%のX線遮へい効果が得られる。特に低エネルギーに対して非常に効果を発揮する。

【0097】直接型の図8、図9に示される構成を単結晶基板へ適用した場合は、第2A1層810をA1(アルミニウム)の代わりに遮へい層として重金属(例、Pt, W, Mo, Pdなど)を使うことができる。

【0098】

【発明の効果】以上詳細に説明したように、本発明によれば、光電変換素子に発生した信号電荷を読出用電界効果トランジスタのゲートに送り、この読出用電界効果トランジスタにより増幅して信号を出力することで、光電変換素子を複数並べる場合に伴なう寄生容量の増大等による出力電圧の低下を抑えることができる。

【0099】また、光電変換素子を、読出用電界効果トランジスタと選択スイッチ手段とリセット手段のうち少なくとも一つの上部に配置することにより、開口率をより大きくすることができる。

【0100】また、本発明によればより高感度で高性能な光電変換装置及び該光電変換装置を有する放射線読取装置を提供することができる。

【図面の簡単な説明】

【図1】光電変換装置の光電変換部の1画素部分を説明するための概略的回路図である。

【図2】図1の概略的回路に対応した構成の一例を説明するための模式的平面図である。

【図3】図2のA-Bにおける模式的断面図である。

【図4】図1の画素を複数マトリクス状に配置した場合の一例を示す概略的回路構成図である。

【図5】放射線読取装置に光電変換装置を適用した場合の駆動の一例を説明するためのタイミングチャートである。

【図6】放射線読取装置に光電変換装置を適用した場合の駆動の一例を説明するためのタイミングチャートである。

【図7】放射線読取装置の一例を説明するための模式的断面構成図である。

【図8】放射線読取装置の一例を説明するための模式的断面構成図である。

【図9】放射線読取装置の一例を説明するための模式的断面構成図である。

【図10】光電変換装置の光電変換部の1画素部分を説明するための概略的回路図である。

【図11】放射線読取装置に光電変換装置を適用した場合の駆動の一例を説明するためのタイミングチャートである。

【図12】図10の画素をマトリクス状に配した場合の回路構成の一例を示す概略的回路図である。

【図13】光電変換装置の光電変換部の1画素部分を説明するための概略的回路図である。

合の駆動の一例を説明するためのタイミングチャートである。

【図15】図13の画素をマトリクス状に配した場合の回路構成の一例を示す概略的回路図である。

【図16】トランジスタのON抵抗とトランジスタのチャネル幅(W)とチャネル長(L)の関係の一例を示すグラフである。

【図17】放射線読取装置の一画素部分の一例を示す模式的断面図である。

【図18】放射線読取装置の一画素部分の一例を示す模式的断面図である。

【図19】放射線読取装置の一画素部分の一例を示す模式的断面図である。

【図20】放射線読取装置の一画素部分の一例を示す模式的断面図である。

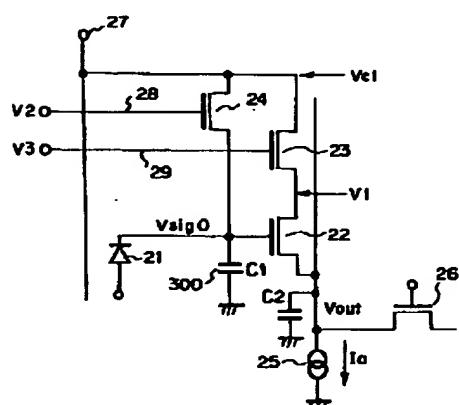
【図21】遮へい材のX線吸収特性の一例を示す図である。

【図22】遮へい材のX線吸叹特性の一例を示す図である。

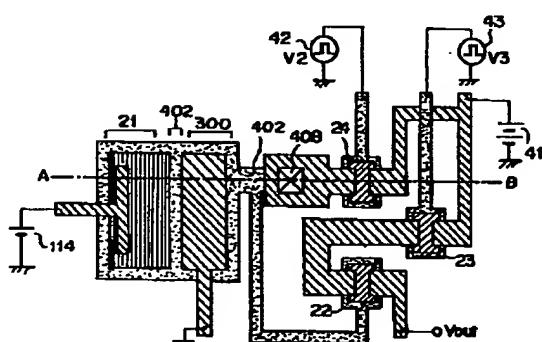
【符号の説明】

- 21 光電変換素子
- 22 MOSトランジスタ
- 23 MOSトランジスタ
- 24 MOSトランジスタ
- 25 電流源
- 26 MOSトランジスタ
- 27 電圧源と接続される端子
- 28 リセットゲート線
- 29 垂直ゲート線
- 41 電圧源
- 42 信号V2を出力する信号源
- 43 信号V3を出力する信号源
- 300 容量

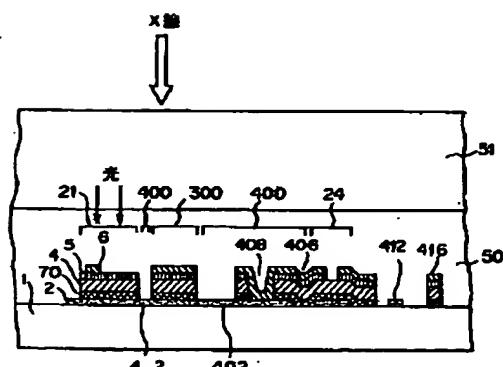
【図1】



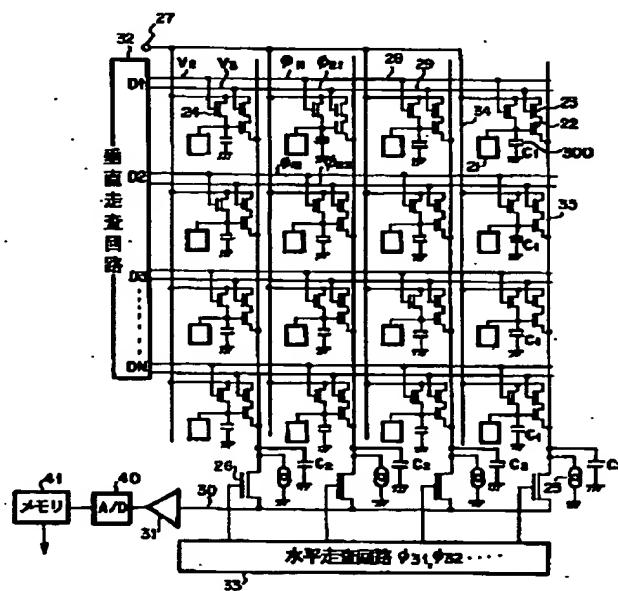
【図2】



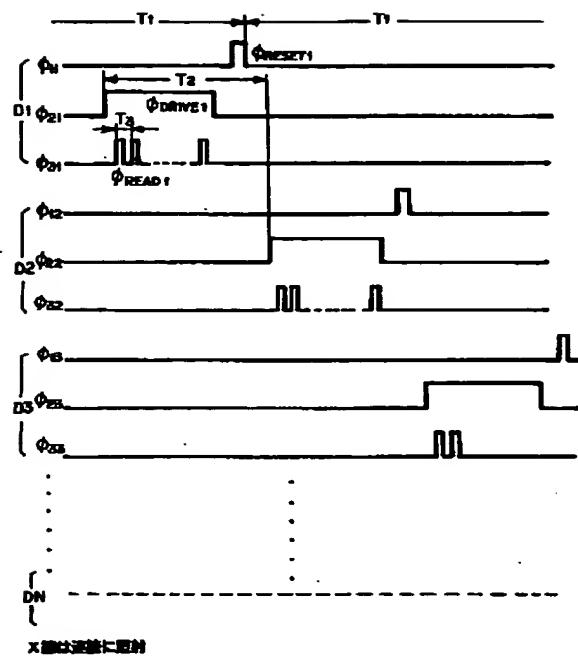
【図3】



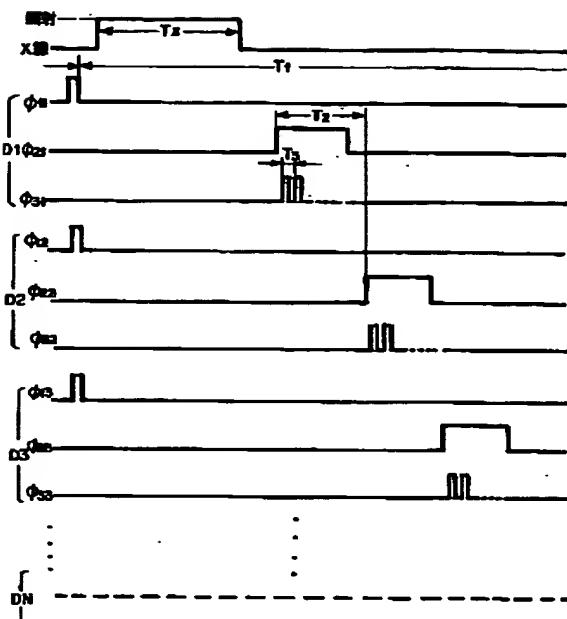
【図4】



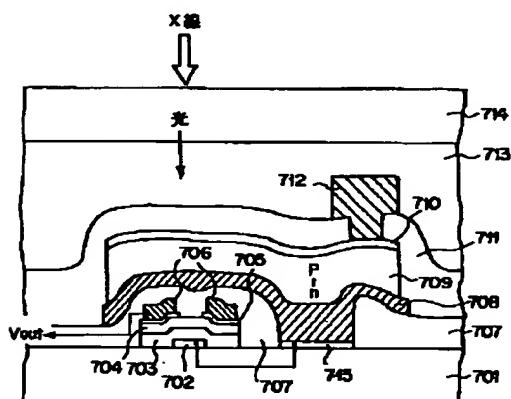
【四】



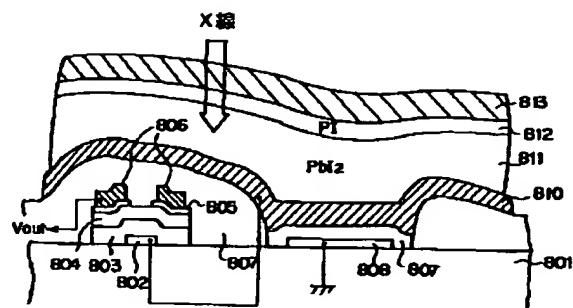
【図6】



【图7】

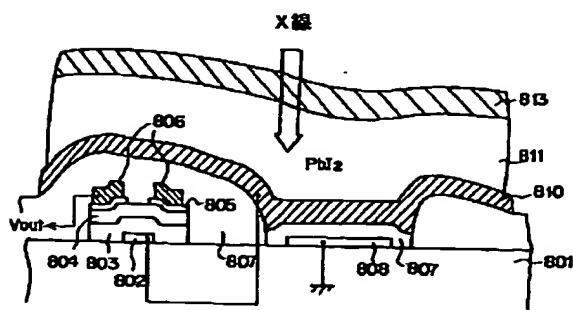


【図8】



【図16】

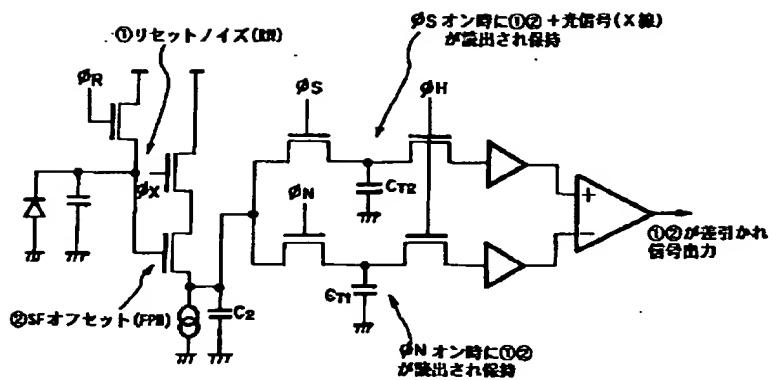
【图9】



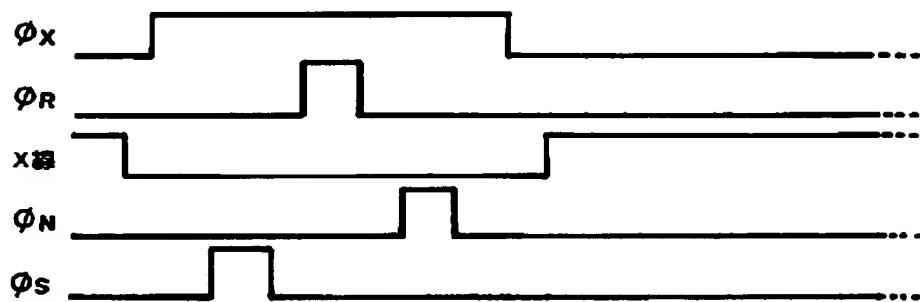
Detailed description: This is a log-log plot. The vertical axis is labeled "Ron (MΩ)" and ranges from 10^{-1} to 10^1 . The horizontal axis is labeled "W/L" and ranges from 10^0 to 10^{-2} . There are two data series: a solid line with open square markers and a dashed line with open triangle markers. An annotation above the dashed line specifies "I_D = 30000 Å" and "R_(on) = 16.5 W/L".

W/L	Ron (MΩ) - Solid Line	Ron (MΩ) - Dashed Line
10^0	~10	~10
10^{-1}	~1	~1.5
10^{-2}	~0.1	~0.2

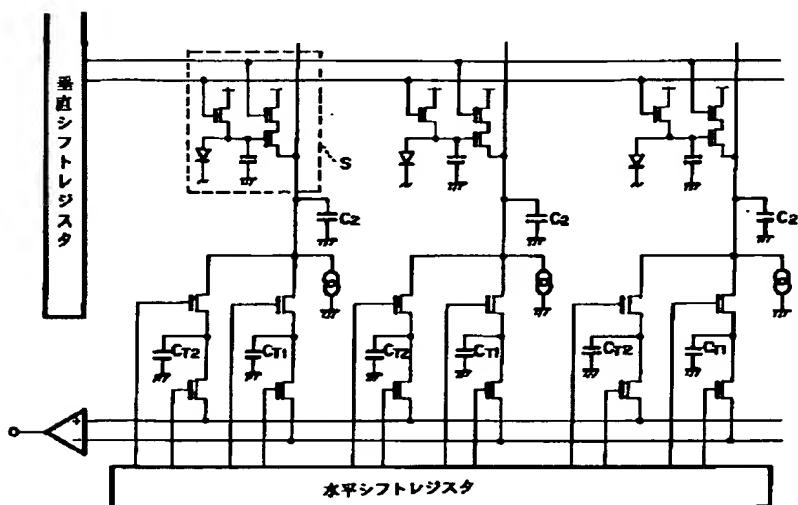
【図10】



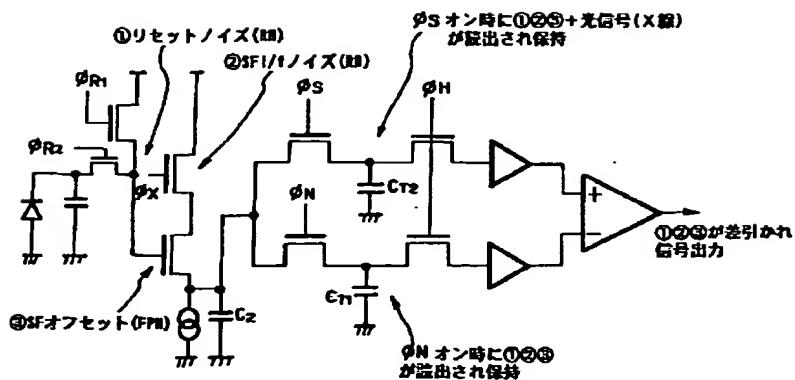
【図11】



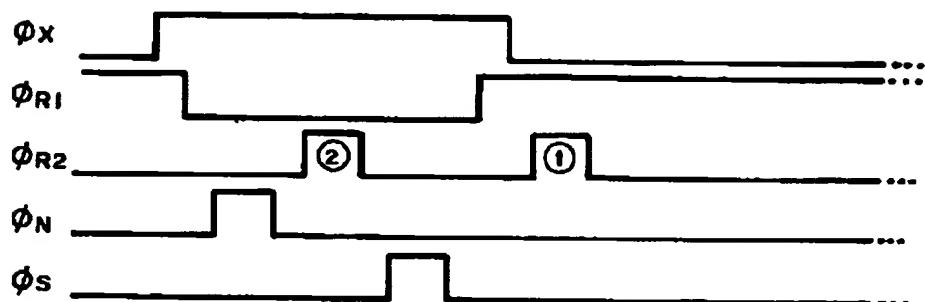
【図12】



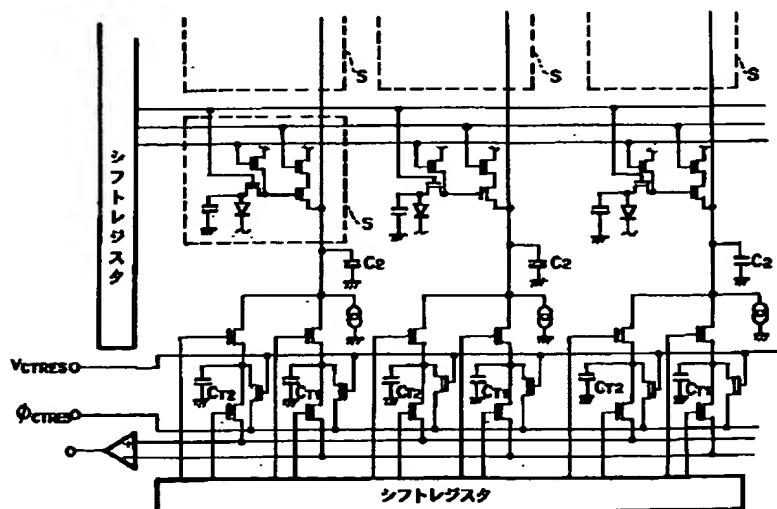
【図13】



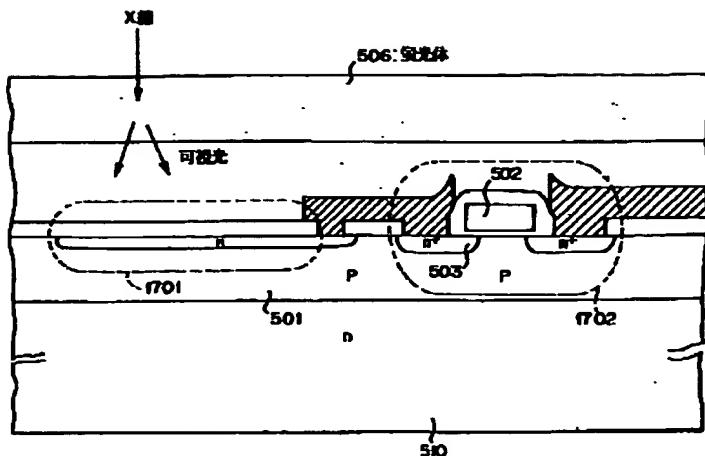
【図14】



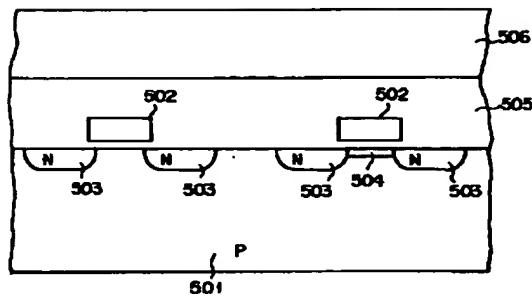
【図15】



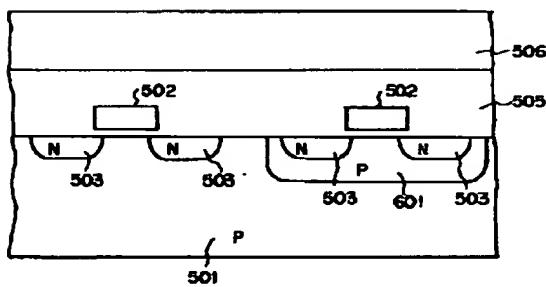
【図17】



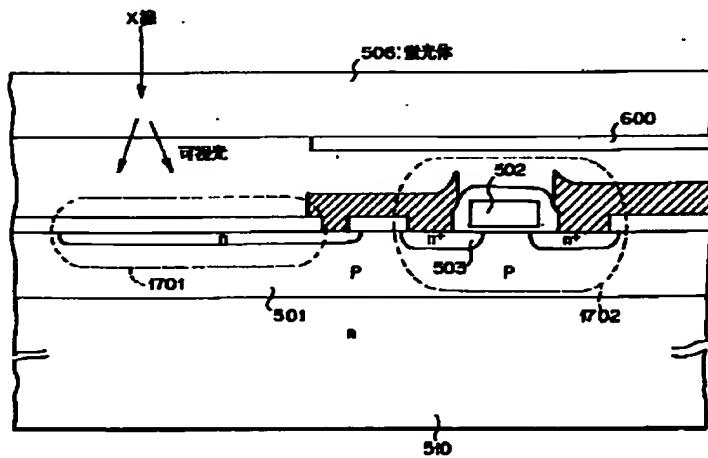
【図18】



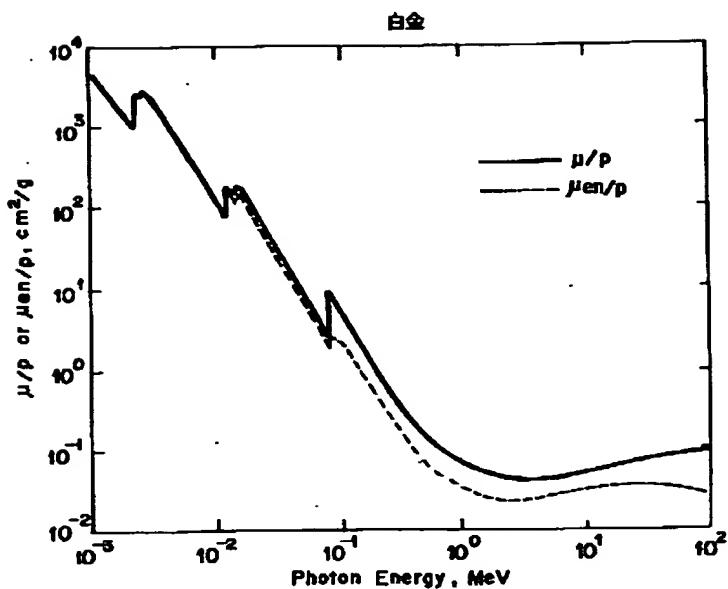
【図19】



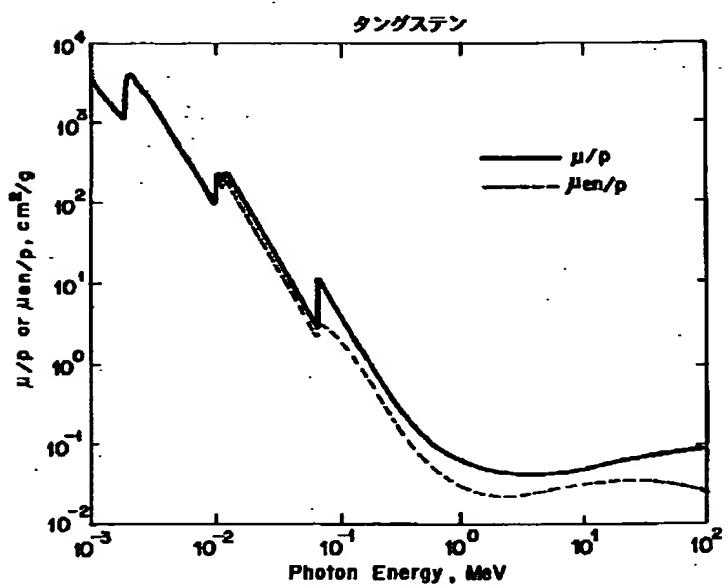
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl. 6

H 04 N 5/335

識別記号

F I

H 01 L 27/14

K